

基于现场可编程门阵列同步心电图心音采集系统的设计*

聂文仲, 黄 华

Design of synchronous acquiring system of electrocardiogram and heart sounds based on Field Programmable Gate Array

Nie Wen-zhong, Huang Hua

Department of
Medical Information,
Sichuan University,
Chengdu 610065,
Sichuan Province,
China

Nie Wen-zhong★,
Studying for master's
degree, Department
of Medical
Information, Sichuan
University, Chengdu
610065, Sichuan
Province, China
nievzhang@
163.com

Correspondence to:
Huang Hua, Doctor,
Professor, Doctoral
supervisor,
Department of
Medical Information,
Sichuan University,
Chengdu 610065,
Sichuan Province,
China
hhua@scu.edu.cn

Received: 2010-03-30
Accepted: 2010-06-07

四川大学医学信
息工程系, 四川省
成都市 610065

聂文仲★, 男,
1986年生, 四川
省资中县人, 汉
族, 四川大学在读
硕士, 主要从事医
学电子学与智能
医学仪器研究。
nievzhang@
163.com

通讯作者: 黄华,
博士, 教授, 博士
生导师, 四川大
学电气信息学院医
学信息工程系, 四
川省成都市
610065
hhua@scu.edu.
cn

中图分类号: R318
文献标识码: B
文章编号: 1673-8225
(2010)39-07350-03

收稿日期: 2010-03-30
修回日期: 2010-06-07
(20100330020/M·A)

Abstract

BACKGROUND: Signal processing method based on Field Programmable Gate Array (FPGA) integrates the advantages of Software algorithm and ASIC, applying to digital signal processing field in place of ASIC and microcontroller gradually.

OBJECTIVE: To propose an acquisition system based on FPGA, which can acquire ECG and heart sounds simultaneously, actualize ECG and phonocardiogram to display on LCD in real-time, play heart sounds synchronously to offer a diagnosable method that combined auscultation with check phonocardiogram and ECG.

METHODS: The hardware system with FPGA embedded soft core as the core used the VHDL to realize structured design and completed real-time collection of ECG and heart sounds, data processing, data transfer and display.

RESULTS AND CONCLUSION: Compared with microcontroller-based acquiring system, this system simplifies complexity of peripherals circuit and improves integration and performance of the system.

Nie WZ, Huang H. Design of synchronous acquiring system of electrocardiogram and heart sounds based on Field Programmable Gate Array. Zhongguo Zuzhi Gongcheng Yanjiu yu Linchuang Kangfu. 2010;14(39): 7350-7352.
[http://www.crter.cn http://en.zgckf.com]

摘要

背景: 基于现场可编程门阵列的信号处理方法综合了软件算法和专用集成电路的优点, 将逐步取代专用集成电路(ASIC)和单片机应用于数字信号处理领域。

目的: 介绍一种基于现场可编程门阵列的实时心电图、心音同步采集系统设计, 实现心电图心音采集及其波形在 LCD 上实时显示, 同时通过心音同步播放, 提供一种观察心电图和听诊相结合的诊断方式。

方法: 该系统采用内嵌软核的 FPGA 作为硬件系统的核心, 应用硬件描述语言进行了结构化设计, 完成对心电图心音信号的实时采集、数据处理、数据传送和显示。

结果与结论: 与基于单片机的采集系统相比, 不仅减少了外围电路复杂度, 还提高了系统的集成度和性能。

关键词: 心电图; 心音; 现场可编程门阵列(FPGA); 软核; 硬件描述语言

doi:10.3969/j.issn.1673-8225.2010.39.031

聂文仲, 黄华. 基于现场可编程门阵列同步心电图心音采集系统的设计[J]. 中国组织工程研究与临床康复, 2010, 14(39):7350-7352. [http://www.crter.org http://cn.zgckf.com]

0 引言

在医院临床诊断中, 因为心电监测较心音监测有一定的滞后性, 当某些心脏疾病能在心音上反映时, 在心电图上不一定有明显的反映, 所以为了更好更全面地诊断疾病, 采用心电图和心音同步监测和观察相结合的诊断法。

现有的监护系统多采用单片机作为中央处理器, 外围电路复杂, 处理速度慢, 功耗和体积大且实时性差。针对心电图心音监护系统需满足处理速度快、低功耗和微型化等要求, 本系统简述了现场可编程门阵列(FPGA)和嵌入式处理器作为核心的硬件系统, 进行心电图心音数据的实时采集和处理, 使系统具有实时采集, 信号处理、存储以及发送心电图心音数据等功能。

1 系统硬件设计

硬件模块设计采用Xilinx的Spartan-3E系列XC3S500E为核心^[1], 该芯片对性能和成本进一步优化, 是Xilinx公司性价比最高的芯片。XC3S500E系统门数达50万, 10 476个Logic Cell, 可以提供50 MHz晶振时钟振荡频率和高达340 MHz的内部性能, 20个360 kb的Block RAM方便对大量数据进行实时读写操作, 为数字信号处理提供了足够的存储空间, 73 kbt可配置分布式RAM, 4个数字时钟管理器(DCM), 使得在时钟控制和管理方面更加灵活, 232个最大可用I/O端口, 92对最大可用差分I/O端口, 20个专用乘法模块(Dedicated Multiplier)和20个18位×18Multiplier, 适合高速的数字信号处理和高速的数字滤波器的实现。选择该器件作为

系统的核心, 其总体结构框图如图1。

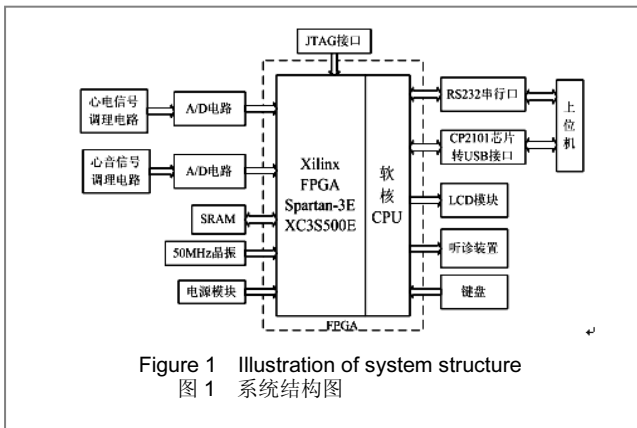


Figure 1 Illustration of system structure
图1 系统结构图

2 模拟电路设计

2.1 心电信号调理电路 心电信号调理电路主要作用是从低噪声中提取心电信号, 并把它放大到合适的电平提供给A/D转换电路, 送入FPGA处理。

心电信号调理电路采用单导联三电极方式, 预采集的心电信号通过安置在左、右手腕和右腿的电极取得。调理电路采用3片ADI公司的OP747和生理信号放大器AD620集成芯片构成两级放大滤波电路^[2], 电极提取到的微弱电信号经过3片OP747构成的前置差分输入放大后输送到由AD620构成的后级差分放大电路, 该电路总放大倍数设计500~1 000可调, 输入阻抗>2 MΩ, 共模抑制比>100 dB。为了提高共模抑制比, 采用了一片OP747构成右腿驱动电路, 有效的去除人体携带的交流共模干扰。心电信号属于低频弱电信号, 测量中混杂着以50 Hz工频干扰为主的各种干扰。采用0.05~100 Hz的带通滤波器可以抑制基线漂移和干扰并很好的保持心电信号^[2]。对50 Hz工频干扰消除, 则利用FPGA内部的查找表, 加法器, 移位寄存器和尺度累加器设计一个50 Hz的FIR陷波器^[3-6], 其幅频响应特性见图2。

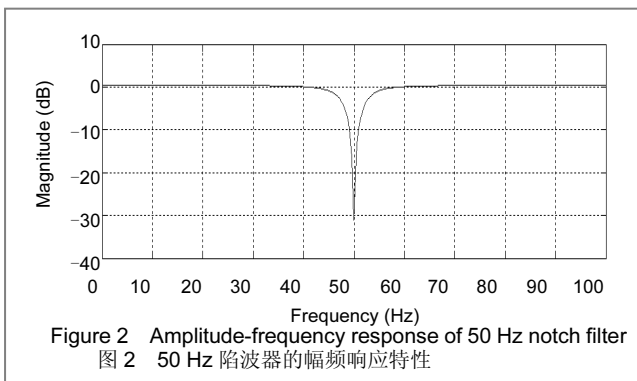


Figure 2 Amplitude-frequency response of 50 Hz notch filter
图2 50 Hz陷波器的幅频响应特性

2.2 心音信号调理电路 心音信号调理电路采用心音换能器先把人体心音转化成电信号, 经过前置放大和后置放大电路及滤波电路检测出心音信号。心音换能器采用具有高听诊级别的欧石130C (OSMed 130C)听诊器改

装为心音传感器。OSMed 130C为精制高脚不锈钢双面听头听诊器, 膜型及杯型可旋转180°交互使用, 配高灵敏度优质膜片, 拾音优良, 小端深锥状杯型用于细微部位、血管杂音或低频声响, 膜型听头用于采集其他大多数声音。心音传感器接收到的信号很微弱且混有低频(50 Hz工频干扰、35 Hz左右的人体肌电干扰等)和外界高频干扰。由于心音频率主要集中在20~600 Hz之间, 所以为消除低频, 采用OP747构成截止频率为18 Hz, 衰减40 dB的二阶有源高通滤波器; 对于消除高频干扰, 同样采用OP747设计截止频率为620 Hz的二阶有源低通滤波器。心音信号经过滤波还含有较为复杂的35 Hz肌电干扰和50 Hz的工频干扰, 为了达到更好的滤波效果和节约资源, 利用FPGA分别设计一个35 Hz和50 Hz的陷波器^[3-5], 由于FPGA的稳定性和高速运算优势, 不会造成心音频率成分丢失, 可以精确获得人体的第一、第二心音。

3 数字电路设计

3.1 A/D转换电路 经过调理电路的心电心音信号仍是模拟信号, 在输送给FPGA进行处理之前需要转换成数字信号。采用德州仪器(TI)的全新四通道14位ADC系列—ADS6000, 这些产品均采用9 mm×9 mm微小型封装, 具备高速度、低功耗、高性能、高信噪比(SNR)与高IF功能。为了保证采集后的心音和心电经过的相移和延时做到同步, 这里都采用14位的A/D转换器, 对于心电采样频率设为400 Hz, 心音采样频率设为0.8 MHz, 通过A/D控制模块控制完成采样过程, 并利用FPGA的DCM对其进行相位和延时调整, 实现同步传输。

3.2 FPGA内部模块设计 FPGA是实现系统功能的核心, 主要实现功能包括时钟模块、A/D控制模块、串并转换模块、数据锁存模块、FIR滤波模块、数据压缩模块、数据控制模块、高速通信模块以及数据存储, 这些模块都是在FPGA内部和软核CPU协同下实现, 其工作原理及外围设备连接如图3所示。

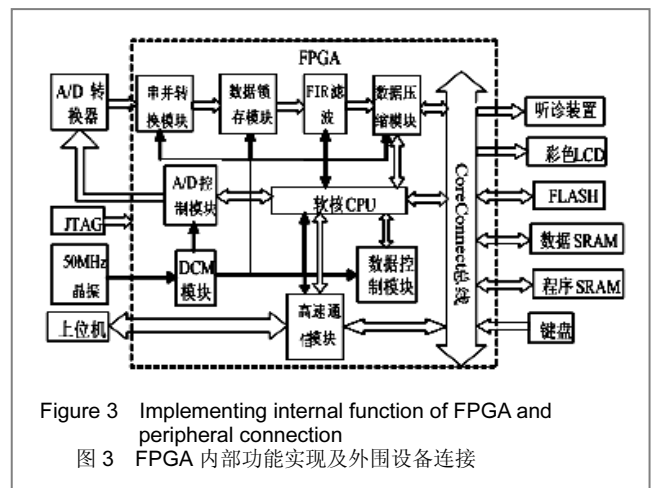


Figure 3 Implementing internal function of FPGA and peripheral connection
图3 FPGA内部功能实现及外围设备连接

3.2.1 数字时钟管理模块(DCM) FPGA通过数字时钟管理模块对时钟进行灵活有效的处理, 主要由数字延迟锁相环(DLL)、数字频率合成器(DFS)、数字移相器(DPS)组成, 可以实现时钟倍频、分频、移相以及抖动消除等功能。FPGA外接50 MHz的石英晶体振荡器作为FPGA内部时钟模块的输入时钟, 通过可编程设置可以得到多种丰富的输出频率, 给FPGA内部其他模块提供实时、高精度的时钟信号。

3.2.2 A/D控制模块与串并转换模块 当系统工作时, 通过键盘发出采集信号, 软核CPU将相应的控制指令写入A/D转换控制模块, A/D开始工作。采用14位A/D转换器以14位二进制表示一个采样点, 且依次对两路信号分别采样, 并将采样后的串行二进制数据通过串转并模块转化成十六进制, 方便软核CPU控制、数据压缩存储和彩色LCD显示。

3.2.3 数据锁存与FIR滤波模块 该模块将串转并后得到的心电图心音数据分别锁存在FPGA内部配置的D触发器中, 完成一次A/D采样得到一个波形点, 等待几个采样时钟后得到多个采样点, 将这些采样点以连续的点存放在块RAM中, 以备数字滤波用。为了进一步去除噪声对信号的干扰及消除各个逻辑模块产生的噪声干扰, 设计了数字滤波模块。因为Xilinx FPGA的灵活性、可编程序及内嵌IP-Core资源, 能方便的设计所需要的FIR滤波器。利用Core Generator可以方便的实现低通、高通、带通和带阻滤波器。根据分布式FIR滤波算法^[5-6], 配置了35 Hz和50 Hz的陷波器。

3.2.4 数据压缩模块与数据控制模块 在高采样频率下获得清晰和高精度的心电图心音波形, 所得到的数据量都非常大, 不便于存储和传输。利用FPGA具有的高速度和高精度的特点, 设计了基于LADT压缩算法的数据压缩模块^[7], 不仅对心电图心音图有用信息损失小, 而且还可以实时对心电图心音数据进行压缩, 效果很好。经压缩后的数据在数据控制模块控制下快速的读或写入256K×16bit的IS61LV25616数据SRAM中存储, 显著提高了读写效率。另外, 数据控制模块通过数据线与数字锁存模块、软核CPU、LCD、数据压缩模块连接在一起, 在软核CPU的控制下可以将采集的数据实时的显示在LCD上, 同时与上位机进行通信。在键盘控制下又可以将存储在SRAM中的数据进行波形回放和高速通信。

3.2.5 高速通信模块 该模块主要有两种通信方式, 一种是在FPGA内部设计了依据UART通信原理的RS-232异步通信接口, 在时钟控制下正确无误的收发数据; 另一种是基于通用串行总线(USB)并采用CP2101接口芯片与FPGA协同工作实现的高速通信接口。这两种通信方式在嵌入相应的通信协议后, 完成系统与上位机高速实时的通信, 能很好地满足不同的需求场合。将采集到的心电图心音信号通过高速通信模块传输到PC机上, 用

专用软件播放其波形, 可实现波形定位, 见图4。

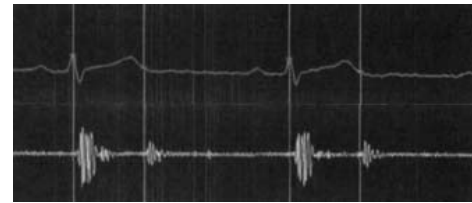


Figure 4 Displaying ECG and phonocardiogram on PC
图4 PC机上显示的心电心音波形

3.3 键盘与彩色LCD模块 键盘作为输入设备与FPGA相连接时应尽量简单易操作, 采用周立功公司研发的自带去抖电路芯片ZLG7289与5×6的键盘连接, 可以提高系统稳定性。为了清晰的显示波形和便于分析诊断, 采用960×234像素的高亮真彩5寸TFT模拟液晶屏PA050XS1, 配上驱动控制器可以提高显示速度, 两路信号用不同颜色输出, 便于观察对比。

3.4 听诊装置 听诊装置在FPGA的控制下将采集到的心音信号取出转成音频信号, 通过听诊耳塞播放声音。在对患者检测时采用音箱播放心音, 会影响采集质量, 外界杂音也能进入混淆听诊效果, 因此要选配密封性及舒适性均极佳的密闭式耳塞。

4 结束语

本文基于FPGA控制核心的心电图心音实时采集系统, 能不失真的采集到心电波形和第一、第二心音。通过在LCD屏上实时同步播放, 能提高诊断水平和病理定位。利用FPGA可编程灵活性在XC3S500E内部实现系统的多个功能模块, 不但简化了外围电路, 充分利用了XC3S500E的资源, 而且采集到的波形稳定可靠, 系统操作简单, 性价比高。随着FPGA技术的高速发展, 取代和拓展传统方式, 并广泛应用于医学领域, 不仅能全面提高医疗仪器设备的可靠性和灵活性, 还能促使医疗设备向模块化、微型化、多样化、普及方向飞速发展。

5 参考文献

- [1] Xilinx Corporation. Spartan-3E FPGA Family: Data Sheet. DS312 (V3.8) August 26, 2009.
- [2] Deng QK. Beijing: Science Press. 2007: 156-202. 邓亲恺. 现代医学仪器设计原理[M]. 北京: 科学出版社, 2007: 156-202.
- [3] Wei JM, Yang YM, Guo QH, Dianzi Qijian. 2005; 28(3): 581-588. 韦建敏, 杨永明, 郭巧惠. 基于FPGA的实时心电图信号处理系统设计[J]. 电子器件, 2005, 28(3): 581-588.
- [4] Zhang P, Sun WR, Chang Y, et al. Dianzi Keji. 2007; 12: 60-63. 张鹏, 孙万荣, 常莹, 等. 基于FPGA的3道生理信号检测仪器硬件电路设计[J]. 电子科技, 2007, 12: 60-63.
- [5] Meyer-Baese U. Digital signal processing with field programmable gate array. United States: Springer. 2002.
- [6] Dempster A, Macleod M. Use of Minimum-Adder Multiplier Blocks in FIR Digital Filters. IEEE Transactions on Circuits and Systems II. 1995; 42: 569-577.
- [7] Li G, Feng J, Ling L. Fast realization of the LADT ECG data compression method. IEEE Eng MED Biol Mag. 1994; 13: 255-258.